

知的情報化社会の基盤を支える新しい半導体デバイス・システムの研究：次世代の半導体産業の牽引車の実現を目指して(1項 固体電子工学研究分野)(2節 物性機能デバイス研究部門)(第3章 研究活動)

雑誌名	東北大学電気通信研究所研究活動報告
巻	9
ページ	31-32
発行年	2003-07
URL	http://hdl.handle.net/10097/30306

固体電子工学研究分野

知的情報化社会の基盤を支える 新しい半導体デバイス・システムの研究

—次世代の半導体産業の牽引車の実現を目指して—

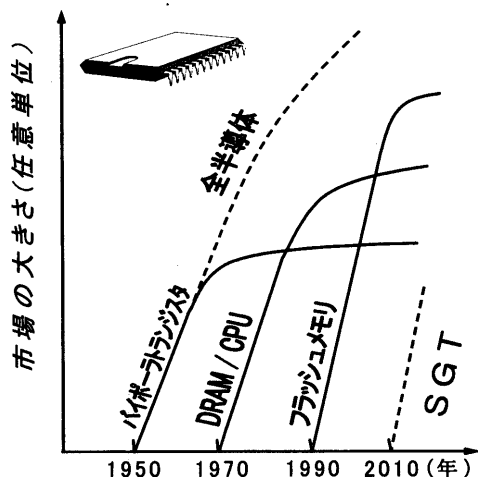


図1 半導体産業は、20年ごとに出現したバイポーラトランジスタ(米国ベル研)、DRAM/CPU(米国インテル社)、フラッシュメモリ(日本: 舩岡教授)という牽引車により爆発的な成長を続けてきました。今後2010年以降日本の舩岡教授により発明されたSGT(Surrounding Gate Transistor)により半導体産業はさらに成長を続けます。

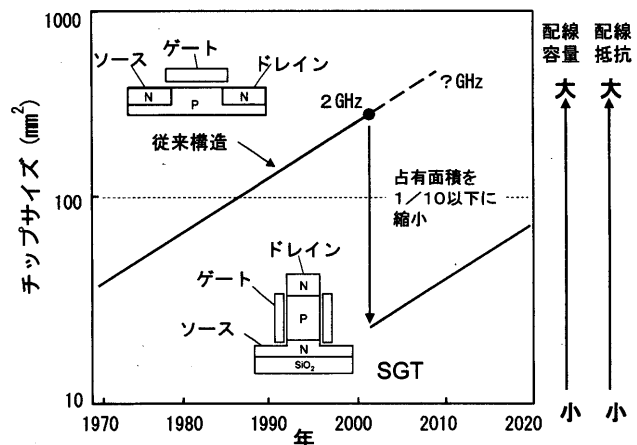


図2 3次元構造であるSGT構造にすることにより、素子の占有面積を1/10以下にすることが可能です。これはムーアの法則にしたがって年々増大するチップサイズが、光速によって制限されるサイズに到達するまでの期間を延長できることを意味します。つまりSGTによりムーアの法則の30年間の延長が可能となります。

1. 部門の目標

近年の高集積回路は、高度情報社会を支えるキーデバイスの一つであると共に、日本の基幹産業となっている。従来、DRAM, CPU, Flash Memoryをはじめとする高集積回路は、その寸法の微細化により、高速化・低消費電力化・高集積化・低コスト化を実現し、電子・情報産業は近年急成長してきた。しかし、今後、ディープサブミクロンサイズのMOSデバイスに於いては、従来の延長の縮小化では、将来の超高性能集積回路システムを実現する事はできず、今後とも電子・情報産業の急成長を維持することは困難であると考えられている。固体電子工学研究分野では、高度情報社会の基盤となる次世代の高性能半導体集積回路の提案をめざして研究を行っている(図1, 図2)。

- ＜研究テーマ＞
1. 高性能アクティブデバイスに関する研究
 2. 超高速・超低消費電力な回路に関する研究
 3. 高性能アーキテクチャーに関する研究
 4. 薄膜ゲート絶縁膜における絶縁性劣化と破壊機構に関する研究

2. 過去一年間(2002年4月から2003年3月まで)の主な成果

Surrounding Gate Transistor(SGT)をナノメータスケールに微細化した場合に問題となるパンチスルー現象を抑制するための新しいソース構造を提案した。拡散層深さ $0.01\mu\text{m}$ の凹型のソース形状とすることでパンチスルー電圧を従来のSGTに比べて23%増加できることを示した。また、同形状を作成するために、固体拡散を用いる

プロセスの提案を行った。

3. 職員名

教 授 舩岡富士雄 (1996年より)
 助教授 遠藤 哲郎 (1997年より)
 助 手 桜庭 弘

4. 舩岡教授のプロフィール

1971年東北大学大学院工学研究科電子工学博士課程を修了。工学博士。1971年(株)東芝に入社。1994年退社。同10月東北大学情報科学研究科教授。現在東北大学電気通信研究所教授。研究分野は、集積回路を中心に半導体分野。2層多結晶シリコンを用いたEPROMの発明で昭和55年度全国発明表彰発明賞を受賞、昭和53年度第1回渡辺賞を受賞、その他フィールドシールド、多層配線、DRAM, SRAM, EPROM回路及びフラッシュEEPROM等の発明で関東地方発明表彰発明奨励賞を5回受賞。1995年IEEE Fellow Award。1997年フラッシュEEPROM及びNAND型EEPROMの発明及び技術の確立の功績により、IEEEよりMORRIS N. LIEBMANN MEMORIAL AWARDを受賞し、市村産業賞 本賞を受賞。2002年、フラッシュメモリの構造を提案した業績(1977年)によりSSDM賞を受賞。電子情報通信学会IEEE会員。

5. 過去一年間(2002年4月から2003年3月まで)の主な論文発表

- 1) F. Masuoka, T. Endoh, H. Sakuraba, "NEW THREE DIMENSIONAL (3D) MEMORY ARRAY ARCHITECTURE FOR FUTURE ULTRA HIGH DENSITY DRAM", pp. C015-1 - C015-6, 2002 Fourth IEEE International Caracas Conference on Devices, Circuits and Systems, Aruba, April 17 - 19, 2002. (Invited Speaker)
- 2) 松岡史宜, 日置雅和, 桜庭弘, 遠藤哲郎, 舩岡富士雄, "Double Gate-SOI (DG-SOI) MOSFET のソフトエラーの α 粒子入射軌道依存性", 電子情報通信学会2002年エレクトロニクスソサイエティ大会講演論文集2, C-11-4, p.61, 宮崎, 9月10日 - 13日, 2002.
- 3) 岩井信, 太田人嗣, 鈴木正彦, 桜庭弘, 遠藤哲郎, 舩岡富士雄, "Si柱側壁表面の平滑化", 電子情報通信学会2002年エレクトロニクスソサイエティ大会講演論文集2, C-11-5, p.62, 宮崎, 9月10日 - 13日, 2002.
- 4) 鈴木正彦, 岩井信, 桜庭弘, 遠藤哲郎, 舩岡富士雄, "Stacked - SGT DRAMを用いた $2.4F^2$ メモリセル技術", 電子情報通信学会2002年エレクトロニクスソサイエティ大会講演論文集2, C-11-6, p.63, 宮崎, 9月10日 - 13日, 2002.
- 5) T. Endoh, K. Kinoshita, T. Tanigami, Y. Wada, K. Sato, K. Yamada, T. Yokoyama, N. Takeuchi, K. Tanaka, N. Awaya, K. Sakiyama and F. Masuoka, "New Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell For Future Ultra High Density Flash Memory", International Semiconductor Technology Conference ISTC 2002 Meeting Abstracts and Program, Abstract NO.39, Tokyo, September 12 - 14, 2002. (Invited Speaker)
- 6) 西亮輔, 日置雅和, 桜庭弘, 舩岡富士雄, "SGTのパンチスルー抑制を指向した凹型ソースSGT", 電子情報通信学会論文誌 C, Vol.86-C, No.2, pp.200-201, 2003年2月.
- 7) 松岡史宜, 日置雅和, 桜庭弘, 遠藤哲郎, 舩岡富士雄, "Surrounding Gate Transistor (SGT) DRAMセルのソフトエラー現象の解析", 電子情報通信学会2003年総合大会講演論文集エレクトロニクス2, C-11-3, p.63, 仙台, 3月19日 - 22日, 2003.
- 8) 岩井信, 桜庭弘, 遠藤哲郎, 舩岡富士雄, "Buried Gate 型 SGT フラッシュメモリセル", 電子情報通信学会2003年総合大会講演論文集エレクトロニクス2, C-11-4, p.64, 仙台, 3月19日 - 22日, 2003.
- 9) 山本安衛, 日置雅和, 遠藤哲郎, 桜庭弘, 舩岡富士雄, "3次元構造Surrounding Gate Transistor(SGT)の下部拡散層形状解析方法の提案", 電子情報通信学会2003年総合大会講演論文集エレクトロニクス2, C-11-8, p.68, 仙台, 3月19日 - 22日, 2003.